

## Les partenaires de l'IRT Nanoelec mettent au point une technologie d'empilement de puces 3D et une solution de réseau sur puce 3D pour le traitement numérique

GRENOBLE, France – 9 juillet 2015 – L'IRT Nanoelec, un consortium de R&D spécialisé dans le domaine des technologies de l'information et de la communication (TIC) utilisant la micro- et la nanoélectronique, et ses partenaires le CEA-Leti, STMicroelectronics et Mentor Graphics ont créé une puce 3D innovante appelée « NoC3D », afin de démontrer l'utilisation de la technologie d'empilement 3D dans des systèmes complexes numériques sur puce (systems-on-chip, SoC).

La puce NoC3D est basée sur une puce 2D qui peut être utilisée dans une application « stand-alone », tout comme dans un empilement 3D contenant plusieurs puces, dans le but de multiplier les performances de traitement du système. Le nouveau prototype d'analyse thermique Calibre® de Mentor Graphics®, permet une analyse et la visualisation des effets thermiques mesurés et simulés de la puce 3D, cœur de la plateforme de démonstration réalisée.

« La technologie mise au point pour cette réalisation peut être utilisée et adaptée facilement à des applications mixant plusieurs technologies, comme des imageurs et des émetteurs-récepteurs RF, ou pour du traitement numérique complexe, tel que avec les composants programmables et les processeurs de calcul haute performance », a déclaré Severine Cheramy, directrice de programme 3D à l'IRT. « Parallèlement à ces résultats, nous travaillons sur des développements pour une technologie 3D à pas plus fins que ceux utilisés dans le démonstrateur NoC3D afin d'augmenter la densité des interconnexions 3D, ainsi que sur des solutions pour la dissipation thermique, le collage temporaire et la gestion des contraintes mécaniques. »

La technologie d'empilement 3D est une solution prometteuse pour améliorer à la fois les performances et la densité d'intégration sans nécessiter de transition vers le nœud technologique supérieur. Cela permet d'intégrer différentes technologies et d'autoriser l'utilisation de puces de petite taille afin d'améliorer la modularité et d'augmenter le rendement. Dans un système SoC 2D complexe et classique, le nœud technologique est défini par la fonction la plus complexe et la méthodologie de réutilisation se fait au niveau IP. Un système 3D associe plusieurs technologies et la méthodologie de réutilisation peut être réalisée au niveau de la puce élémentaire (« chiplet »).

La puce NoC3D a été définie et conçue par Leti, avec le soutien direct de STMicroelectronics, au moyen d'un kit de conception 3D additionnel spécifique et d'un ensemble d'outils de vérification 3D fourni par Mentor Graphics. La technologie CMOS, la technologie 3D et le packaging ont été réalisés par ST et le Leti, avec une approche « via-middle » au niveau de la technologie CMOS 65 nm. La plateforme de test et de démonstration est le résultat d'un travail de développement commun des trois partenaires.

## Démontrer la viabilité de l'empilement 3D

L'IRT Nanoelec fournit un environnement multi-compétences – avec un développement technologique, une architecture de traitement innovante et des outils de conception spécifiques dans le cadre d'une approche globale système-méthodologie – pour le développement de démonstrateurs 3D pionniers permettant de prouver la viabilité de l'empilement 3D dans une large variété d'applications. Bien que la puce NoC3D soit conçue pour du calcul numérique, toutes les briques technologiques et de conception 3D peuvent être réutilisées dans un large éventail d'autres applications.

L'empilement NoC3D est une première mondiale dans la réalisation d'un processeur modulaire 3D. Cette solution va bien au-delà des technologies de pointe existantes car, grâce à son réseau de communication 3D asynchrone, elle est en mesure d'exploiter les performances maximales des liens verticaux et d'offrir une bande passante globale de 450 MOctets/s. La stratégie, qui consiste à augmenter les performances d'un système grâce à l'empilement de plusieurs puces identiques pour un encombrement identique, ressemble beaucoup à celle des mémoires HMC ou HBM. Dans le cas d'une mémoire DRAM, la capacité en octets est multipliée par le nombre de puces élémentaires empilées ; le circuit NoC3D permet de multiplier les performances de traitement grâce à l'empilement 3D.

### La technologie

Plusieurs puces numériques CMOS de 65 nm identiques peuvent être assemblées à l'aide d'une technologie « face-to-back » afin de créer une pile d'éléments de traitement, à l'aide de vias traversant le silicium (TSV - Through-Silicon Via) de 10 µm de diamètre et de micro-piliers et micro-plots de 20 µm de diamètre. Dans la plateforme de démonstration réalisée par l'IRT Nanoelec, deux puces sont empilées.

Au niveau de la puce élémentaire, des dispositions ont été prises pour permettre d'empiler jusqu'à quatre puces : le nombre de plots d'alimentation est prévu en conséquence, tandis que le nombre de signaux reste constant, indépendamment du nombre de puces empilées. La surface occupée par les 2 000 TSV représente environ 1 pour cent de l'ensemble de la surface occupée par les puces (72 mm<sup>2</sup>) et les plaques (wafers) sont amincies à 80 µm d'épaisseur pour la révélation des TSV en face arrière.

L'empilement NoC3D est monté dans un package BGA de 581 billes ayant un pas de 0,3 mm, selon une approche par « Stacking-last », c'est-à-dire que la puce inférieure est reportée sur le substrat, puis la puce supérieure est assemblée sur la puce inférieure.

### Objectif : le traitement de la bande de base numérique

Les modules numériques intégrés à la puce NoC3D sont des IP de calcul intensif, des cœurs programmables de processeur interconnectés au réseau sur puce (NoC) grâce à des routeurs spécifiques en charge des communications par commutation de paquets.

L'architecture globale a été partitionnée de manière évolutive pour prendre en charge plusieurs modes, en fonction du nombre d'antennes utilisées à l'émission et à la réception. La puce élémentaire modulaire a été dimensionnée pour s'adapter aux performances de traitement requises pour supporter le mode à une antenne. L'empilement de deux ou quatre puces permet également de prendre en charge des modes multi-antennes, plus complexes. Par exemple, la puce NoC3D développée dans le cadre de ce projet peut supporter jusqu'à deux antennes aussi bien pour l'émission que la réception.

## Réseau sur puce (Network on Chip, NoC)

Depuis plusieurs années, le réseau sur puce ou NoC joue un rôle essentiel dans les SoC 2D complexes, grâce à sa capacité à gérer efficacement les échanges de données entre plusieurs IP. Grâce au découplage de la communication à commutation de paquets des IP de calcul, l'extension des capacités d'interconnexion en trois dimensions se fait simplement et naturellement. La puce élémentaire de la solution NoC3D intègre quatre routeurs 3D, en charge des communications verticales.

La redondance et la tolérance aux défaillances sont utilisées dans le circuit NoC3D aussi bien au niveau de la communication que du traitement. L'utilisation d'une logique asynchrone pour l'implémentation des routeurs permet d'implémenter des interfaces de communication 3D robustes, et rend possible le contrôle dynamique de la tension d'alimentation et de la fréquence des horloges (dynamic voltage and frequency scaling, DVFS) pour une optimisation énergétique adaptée aux exigences de traitement et aux contraintes thermiques. Les outils d'analyse et de dimensionnement spécifiques développés par Mentor Graphics pour les aspects thermiques et énergétiques ont été très utiles aux architectes lors de l'élaboration du plan de masse 3D de la puce NoC3D. En particulier, l'outil 3DSTACK Calibre® a été utilisé pour la vérification finale de l'assemblage 3D des deux puces.

Plusieurs modules ont été conçus afin de garantir l'intégrité des signaux 3D entre les différents niveaux : micro-buffers, protection ESD, redondance des liens 3D et codage de données. Une méthodologie complète de « conception & test » (ou design-for-test) a été élaborée afin de permettre un test hiérarchique de chaque module, au niveau de la puce et de l'empilement, avant et après l'assemblage, avec la suite d'outils de test Tessent® de Mentor Graphics, y compris la génération de vecteurs de test.

*En haut : empilement d'1 puce, ou de 2 ou 4 puces dans un package.*

*En bas : puce NoC 3D : plateforme de démonstration, boîtier (coupe transversale), boîtier (sur carte)*

*Mentor Graphics, Calibre et Tessent sont des marques déposées de Mentor Graphics Corporation. Tous les autres noms de sociétés ou de produits sont des marques ou des marques déposées de leurs propriétaires respectifs.*

### A propos de l'IRT Nanoelec

L'Institut de Recherche Technologique (IRT) Nanoelec, dirigé par le CEA-Leti, conduit un programme de recherche et de développement dans le secteur des technologies de l'information et de la communication, en particulier dans la micro- et nanoélectronique. Opérant dans le cadre de programmes soutenus par des investissements dans les technologies d'avenir, l'Institut s'appuie sur l'écosystème de Grenoble aux capacités d'innovations éprouvées pour créer des technologies qui feront progresser les technologies nanoélectroniques de demain, stimuleront le développement de nouveaux produits et inspireront de nouvelles applications - à l'instar de l'Internet des objets pour les technologies actuelles. Les travaux de R&D menés par l'IRT Nanoelec donnent un premier aperçu de la façon dont les technologies émergentes, telles que les solutions d'intégration 3D et de photonique sur silicium, impacteront les circuits intégrés.

En plus de ses activités de R&D, l'IRT Nanoelec conduit un programme de diffusion technologique qui vise à s'assurer que les innovations développées profiteront directement aux PME de tous les secteurs. L'IRT Nanoelec propose également des programmes d'enseignement et de formation

visant à développer les compétences en micro- et nanoélectronique dont les entreprises auront besoin pour rester compétitives sur les marchés mondiaux de demain. Rendez-vous sur [www.irtnanoelec.fr](http://www.irtnanoelec.fr)

**Pour contacter l'IRT Nanoelec :**

Didier Louis    [didier.louis@cea.fr](mailto:didier.louis@cea.fr)    +33 6 32 44 64 31

